

ÍNDICE

INTRODUCCIÓN	iv
1. MODELOS Y UNIDADES DE DISEÑO EN VHDL	I - 1
1.1 DECLARACIÓN DE ENTIDAD	2
1.2 DESCRIPCIÓN DE ARQUITECTURA	3
1.3 BIBLIOTECAS	6
1.4 DECLARACIONES DE GENÉRICOS Y COMPONENTES	7
1.5 DECLARACIÓN DE EMPAQUETAMIENTOS	9
1.6 CUERPOS DE EMPAQUETAMIENTOS	10
1.7 DECLARACIÓN DE CONFIGURACIÓN	11
2. CARACTERÍSTICAS GENERALES DEL VHDL	II - 1
2.1 LÉXICO DE FICHEROS VHDL	1
2.1.1 SEPARADORES	2
2.1.2 DELIMITADORES	2
2.1.3 COMENTARIOS	2
2.1.4 IDENTIFICADORES	2
2.1.5 PALABRAS RESERVADAS	3
2.1.6 CARACTERES LITERALES	3
2.1.7 CADENAS LITERALES	4
2.1.8 CADENAS BIT LITERALES	4
2.1.9 LITERALES NUMÉRICOS	4
2.2 CLASES DE OBJETOS: DECLARACIÓN E INICIALIZACIÓN	4
2.2.1 CONSTANTES	5
2.2.2 VARIABLES	5
2.2.3 SEÑALES	5
2.3 ASIGNACIÓN DE VALORES	5
2.3.1 ASIGNACIÓN A VARIABLES	6
2.3.2 ASIGNACIÓN A SEÑALES	6
2.4 TIPOS DE OBJETOS	6
2.4.1 TIPOS ENUMERADOS	7
2.4.2 TIPOS NUMÉRICOS	7
2.4.3 TIPOS FÍSICOS	7
2.4.4 ARRAYS	8
2.4.5 RECORDS	10
2.5 SUBTIPOS	11
2.6 TIPOS STD_LOGIC	12
2.7 ATRIBUTOS PREDEFINIDOS DE TIPOS Y ARRAY'S	13
2.7.1 ATRIBUTOS DE TIPOS	14
2.7.2 ATRIBUTOS DE ARRAYS	15

2.8 OPERADORES Y EXPRESIONES	16
2.8.1 OPERADORES LÓGICOS : AND OR NAND NOR XOR	16
2.8.2 OPERADORES RELACIONALES : = /= < <= > >=	17
2.8.3 OPERADORES DE ADICIÓN : + - &	17
2.8.4 OPERADORES DE PRODUCTO : * / MOD REM	18
2.8.5 OPERADORES DE SIGNO : + -	18
2.8.6 OPERADORES MISCELANEOS : ** ABS NOT	19
2.9 SOBRECARGA DE TIPOS Y OPERADORES	19
3. SENTENCIAS SECUENCIALES	III - 1
3.1 SENTENCIAS IF	1
3.2 SENTENCIAS CASE	3
3.3 SENTENCIAS NULL	4
3.4 SENTENCIAS LOOP	4
3.4.1 LOOP SIMPLE	4
3.4.2 LOOP FOR	5
3.4.3 LOOP WHILE	5
3.5 SENTENCIAS NEXT	5
3.6 SENTENCIAS EXIT	6
3.7 SENTENCIAS ASSERT	7
3.8 SENTENCIAS WAIT	8
3.8.1 WAIT ON señales	8
3.8.2 WAIT UNTIL condición	8
3.8.3 WAIT FOR especificación de tiempo	9
4. SUBPROGRAMAS	IV - 1
4.1 FUNCIONES	1
4.1.1 FUNCIONES DE RESOLUCIÓN	4
4.1.2 TIPOS STD_LOGIC . EMPAQUETAMIENTO IEEE 1164	8
4.2 PROCEDIMIENTOS	12
5. SENTENCIAS CONCURRENTES	V - 1
5.1 SENTENCIAS DE COLOCACIÓN DE COMPONENTES	1
5.2 SENTENCIAS BLOCK	3
5.2.1 BLOQUES GUARDADOS	5
5.3 SENTENCIAS PROCESS	6
5.3.1 RETARDO Y CONCURRENCIA EN EL ENTORNO DE PROCESS	7
5.4 SENTENCIAS DE ASIGNACIÓN DE VALOR A SEÑALES	10
5.4.1 RETARDOS INERCIALES Y DE TRANSPORTE	10
5.4.2 ASIGNACIONES CONDICIONALES	11
5.4.3 ASIGNACIONES SELECTIVAS	13
5.4.4 ASIGNACIÓN GUARDADA	14
5.5 SENTENCIAS ASSERT	19
5.6 SENTENCIAS GENERATE	20
5.7 SENTENCIAS DE LLAMADA A PROCEDIMIENTOS	22
6. MODELOS ESTRUCTURALES	VI - 1
6.1 ESPECIFICACIONES DE CONFIGURACIÓN	1
6.2 DECLARACIÓN DE CONFIGURACIÓN	3

6.3 CONFIGURACIÓN CON GENÉRICOS	5
6.4 DESARROLLO DE PROBADORES	7
6.5 GENERACIÓN DE VECTORES DE TEST PSEUDOALEATORIOS	9
7. MODELOS DE COMPORTAMIENTO	VII - 1
7.1 DESCRIPCIONES A NIVEL DE FLUJO DE DATOS	1
7.2 DESCRIPCIONES ALGORÍTMICAS	4
7.3 DESCRIPCIONES ALGORÍTMICAS PARA SÍNTESIS	4
7.4 INFERENCIAS BÁSICAS DE SÍNTESIS	5
7.5 MÁQUINAS DE ESTADOS FINITOS	8
7.5.1 MÁQUINA DE MEALY	8
7.5.2 MÁQUINA DE MOORE	9
7.6 MODELO DE MEMORIA RAM ESTÁTICA	10
8. FICHEROS DE ENTRADA / SALIDA	VIII - 1
8.1 FICHEROS FORMATEADOS	1
8.2 FICHEROS DE TEXTO Y EMPAQUETAMIENTO TextIO	4
8.2.1 DESARROLLO DE PROBADORES CON FICHEROS TextIO	8
<u>APÉNDICES</u>	A-1
Apéndice A : empaquetamiento STANDARD	A-1
Apéndice B : empaquetamiento TEXTIO	A-2
Apéndice C : empaquetamiento “modelos”	A-3