

**Parte A. DATOS PERSONALES**

**Fecha del CVA**

11/4/2018

Nombre y apellidos	Rafael Asenjo Plaza		
Núm. identificación del investigador	Researcher ID	L-5317-2014	
	Código Orcid	0000-0002-1570-3863	

**A.1. Situación profesional actual**

Organismo	Universidad de Málaga		
Dpto./Centro	Arquitectura de Computadores		
Dirección	Complejo Tecnológico, Campus de Teatinos		
Teléfono	952132791	correo electrónico	<a href="mailto:asenjo@uma.es">asenjo@uma.es</a>
Categoría profesional	Catedrático de Universidad	Fecha inicio	8 Nov 2017
Espec. cód. UNESCO	330406		
Palabras clave	Arquitecturas paralelas, modelos de programación, planificación.		

**A.2. Formación académica** (*título, institución, fecha*)

Licenciatura/Grado/Doctorado	Universidad	Año
Ing. de Telecomunicación	Universidad de Málaga	1993
Dr. Ing. de Telecomunicación	Universidad de Málaga	1997

**A.3. Indicadores generales de calidad de la producción científica** (*véanse instrucciones*)

Rafael Asenjo cuenta con cuatro sexenios de investigación (1993-1999, 2000-2005, 2006-2011 y 2012-2017). Ha dirigido 6 tesis doctorales (5 en los últimos 10 años). Su h-index es 11 y sus trabajos han sido referenciados 440 veces, 194 de dichas citas entre el 2013 y el 2017. Por tanto, el número medio de citas anuales en los últimos 5 años es de 38. Tiene 5 publicaciones indexadas en Q1 y 9 en Q2 del JCR y 10 contribuciones en congresos Core A.

**Parte B. RESUMEN LIBRE DEL CURRÍCULUM**

Rafael Asenjo Plaza es Ingeniero de Telecomunicación (Sep.1993) y Doctor Ingeniero de Telecomunicación (Dic. 1997) por la Univ. de Málaga. Fue Profesor Asociado TC (desde Feb. 1994), Titular de Universidad (desde Ago. 2001) y es actualmente Catedrático de Universidad en el Departamento de Arquitectura de Computadores (desde Nov. 2017). Tiene 3 sexenios de investigación, 4 quinquenios docentes y 3 tramos del Complemento Autonómico Andaluz.

En el apartado investigador, el Dr. Asenjo co-lidera junto con Angeles Navarro un equipo ("Parallel Programming Models and Compilers"), formado por 6 doctores y 3 estudiantes de tesis que trabajan en los campos de programación para arquitecturas de altas prestaciones y aumento de la productividad en la paralelización de códigos irregulares. Ha sido Investigador Principal de un Proyecto de Investigación de Excelencia de la Junta de Andalucía. Las publicaciones más relevantes de este grupo en los últimos diez años (2006-2016) incluyen artículos de revistas en "IEEE Transactions on Parallel and Distributed Systems", "Journal of Parallel and Distributed Computing", y "Journal of Parallel Computing", además de conferencias de gran relevancia en el área, como "IEEE Int'l. Conf. on Parallel Processing (ICPP)", "IEEE International Parallel & Distributed Processing Symposium (IPDPS)", "ACM Int'l Conf. on Supercomputing (ICS)" y "ACM-IEEE Int'l Conf on Parallel Architectures and Compilation Techniques (PACT)". Ha participado en 18 proyectos de investigación y dos contratos de investigación, publicado en 18 revistas internacionales indexadas en el JCR, 10 contribuciones en congresos "Core A" del IEEE y/o ACM (como ICS, PACT, IPDPS, ICPP y HiPC), 3 Keynotes por invitación, 5 Lecture Notes in Computer Science, 9 capítulos de libro, 37 congresos internacionales, participación en 18 comités de programa y 12 comités de organización de conferencias internacionales (General Chair,

Registration Chair, etc), 15 conferencias por invitación, 21 congresos nacionales, impartido 6 tutoriales por invitación (PPOPP'18, SC'17, EuroPar'17 y PACT'04, entre ellos) y realizado 14 estancias de investigación en el extranjero (totalizando casi 3 años de estancias). De las seis últimas estancias, dos se han realizado en empresas fuertemente relacionadas con la supercomputación como son IBM y Cray Inc. Fruto de estas estancias ha publicado con investigadores de la talla de David Padua (UIUC), Calin Cascaval (IBM) y Brad Chamberlain (Cray Inc.). También es evaluador de la ANEP y evaluador habitual de 6 revistas de tirada internacional. Ha dirigido cinco tesis doctorales y está dirigiendo otras dos. Ha contribuido significativamente en el desarrollo del compilador Chapel desarrollado por Cray, especialmente en las versiones 1.4, 1.6 y 1.8.

## Parte C. MÉRITOS MÁS RELEVANTES

### C.1. Publicaciones (en revistas indexadas en los últimos 5 años)

1. A. Villegas, R. Asenjo, A. Navarro, O. Plata and D. R. Kaeli, Lightweight Hardware Transactional Memory for GPU Scratchpad Memory, **IEEE Transactions on Computers**, vol 67, no. 6. **2018**. JCR Q1.
2. Jose Nunez-Yanez, Mohammad Hosseinabady, Moslem Amiri, Andrés Rodríguez, Rafael Asenjo, Angeles Navarro, Rubén Gran-Tejero, Darío Suárez-Gracia, Simultaneous multiprocessing in a software defined heterogeneous FPGA, **Journal of Supercomputing**, April **2018**. JCR Q2.
3. Alejandro Villegas, Angeles Navarro, Rafael Asenjo, Oscar Plata, Toward a software transactional memory for heterogeneous CPU-GPU processors, **Journal of Supercomputing**, April **2018**. JCR Q2.
4. Angeles Navarro, Francisco Corbera, Andrés Rodríguez, Antonio Vilches, Rafael Asenjo, Heterogeneous parallel template for CPU-GPU chips, **Intl. Journal of Parallel Programming**, Jan **2018**. JCR Q3.
5. L.Remis, M.J.Garzarán, R.Asenjo, A.Navarro, "Exploiting social network graph characteristics for efficient BFS on heterogeneous chips", **J. of Parallel and Distributed Computing**, Nov, **2017**. JCR Q2
6. J.F. Rodríguez, J.M. García, E. Hendrix, R. Asenjo, L. Casado, "On parallel Branch and Bound frameworks for Global Optimization", **J. of Global Optimization** v 69, Issue 3, pp 547–560, November **2017**. JCR Q1.
7. G. Aparicio, J.M. García, L. Casado, R. Asenjo and E. Hendrix, "Parallel algorithms for computing the smallest binary tree size in unit simplex refinement", **J. of Parallel and Distributed Computing**, doi:10.1016/j.jpdc.2017.05.016, **2017**. JCR Q2
8. A. Vilches, A.Navarro, R.Asenjo, F.Corbera, R.Gran, M.Garzarán. "Mapping Streaming Applications on Commodity multi-CPU and GPU on-chip processors", **IEEE Trans. on Parallel and Distributed Systems**, DOI:10.1109/TPDS.2015.2432809. **2016**. JCR Q1.
9. Navarro, R. Asenjo, F. Corbera, A.J. Dios and E. L Zapata. "A Case Study of Different Task Implementations for Multioutput Stages in non-trivial Parallel Pipeline Applications", **J. of Parallel Computing**, vol. 40.pp.374-393.Jun.**2014**. JCR Q1.
10. Navarro, A. Vilches, F. Corbera and R. Asenjo. "Strategies for maximizing utilization on multi-CPU and multi-GPU heterogeneous architectures", **The Journal of Supercomputing**, pp. 1-16, May **2014**. JCR Q2.

### C.2. Proyectos

#### Proyectos como Investigador principal:

**P08-TIC3500**, "Incremento de la Productividad en Códigos Irregulares", Junta de Andalucía. Proyecto de investigación de excelencia. IP: Rafael Asenjo Plaza. Universidad de Málaga. Del 13/1/2009 – 12/1/2014 (60 meses). Importe:163.027€.

### Proyectos como Investigador participante:

**TIN2016-80920-R**, “Arquitecturas de Altas Prestaciones para Aplicaciones Intensivas en Datos”, Ministerio de Economía y Competitividad (MINECO), IP: Emilio López Zapata. IP: 30 de diciembre de 2016 a 29 de diciembre de 2019. 405.471€

**TIN2013-42253-P**, “Arquitecturas, Compiladores y Aplicaciones en Multiprocesadores”, Ministerio de Economía y Competitividad (MINECO), IP: Emilio López Zapata. IP: 1 de enero de 2014 a 31 de diciembre de 2016. 207.878€

**HIPEAC-3**, “High Performance Embedded Architecture and Compilation”, Unión Europea. ICT 287759 European Network of Excellence. IP (por la Universidad de Málaga): Emilio López Zapata. Del 1 de febrero de 2012 a 31 de enero de 2015. Importe: 3.810.000 €

**CSD2007-00050**, “Supercomputación y e-Ciencia” Consolider Ingenio 2010, Ministerio de Educación y Ciencia. IP: Mateo Valero Cortés, UPC. Del 1 de octubre de 2007 a 31 de septiembre de 2012. Importe: 5.000.000€

### C.4. Patentes con Examen Previo Concedido

- **Nacional. Nº 2 550 728 (solicitud P201400877)**: Métodos implementados en computador y sistemas informáticos de activación y desactivación automática de transmisiones concurrentes de datos entre dispositivos conectados a una red. Inventores: A.M. Tenor, J.A. Fernández-Madrigal, A.M. Cruz, A. Gago, R. Asenjo y M.A. Navarro. 11/05/2016.
- **Nacional. Nº 2 565 878 (solicitud P201400876)**: Métodos implementados en computador y sistemas informáticos de regulación automática de la cantidad de datos transmitidos entre dispositivos conectados a una red. Inventores: A.M. Tenor, J.A. Fernández-Madrigal, A.M. Cruz, A. Gago, R. Asenjo y M.A. Navarro. 02/09/2016.

### C.5. Estancias en el extranjero en los últimos 10 años.

- Centro: **IBM T.J. Watson Research Center, Nueva York, USA**. Septiembre a diciembre de **2008**, Duración (semanas): 19. Colaboración con el grupo de “Programming Models and Tools for Scalable Systems”. Becado por el Programa de “Estancias de movilidad de profesores e investigadores sénior en centros de enseñanza superior e investigación extranjeros” del Ministerio de Ciencia en Innovación.
- Centro: **Cray Inc. Research Headquarters, Seattle, WA, USA**. Junio a septiembre de **2011**. Duración (semanas): 14. Colaboración en “Chapel”. Becado por el Programa de “Estancias de movilidad de profesores e investigadores sénior en centros de enseñanza superior e investigación extranjeros” del Ministerio de Ciencia en Innovación.
- Centro: **Dept of Computer Science, Univ. of Illinois at Urbana-Champaign, Urbana, IL, USA**. Agosto **2013** y Agosto **2014**. Duración (semanas): 5 (2014) + 4 (2015). Colaboración con el grupo dirigido por el Prof. David Padua y María Jesús Garzarán.
- Centro: **Dept. of Electronic and Electrical Engineering, Univ. of Bristol, UK**. Mayo a julio **2016**. Duración (semanas): 13. Becado por el Programa de “Estancias de movilidad de profesores e investigadores sénior en centros de enseñanza superior e investigación extranjeros” del Ministerio de Ciencia en Innovación.

### C.6 Servicio en comités de programa y de organización de conferencias internacionales

- **General Chair** del “ACM SIGPLAN Symposium on Principles and Practice of Parallel Programming” (**PPoPP 2016**).
- **General Co-Chair** del “HIPEAC Workshop on Energy Efficiency with Heterogeneous Computing” (**EEHCO 2016**).
- **Program Committee Member** del “ACM Parallel Architectures and Compilation Techniques (**PACT 2017**)”; “IEEE Intl. Symposium on Computer Architecture and High Performance Computing” (**SBAC-PAD 2018, 2017 y 2012**); “European

Conference on Parallel And Distributed Computing” (**EuroPar 2017**); “Intl. Workshop on Performance, Power and Energy-Efficiency Optimization in Heterogeneous Systems” (PPEO 2016, **VECPAR**); “ACM Supercomputing Conference” (**SC 2015**); “Workshop on High Performance Energy Efficient Embedded Systems” (**HIP3ES 2018, 2017 y 2016**); “ACM SIGPLAN 2nd Annual Chapel Implementers and Users Workshop” (CHIUIW 2015, part of **PLDI - FCRC 2015**); “IEEE International Parallel & Distributed Processing Symposium” (**IPDPS 2014 y 2013**); “Workshop on Programming Models for Emerging Architectures” (**PMEA 2010 y 2009**).

- **Steering Committee Member** del “ACM SIGPLAN Symposium on Principles and Practice of Parallel Programming” (**PPoPP 2017**).
- **Demos and Exhibits Chair** del “Intl. Conf. on High Performance Computing and Simulation” (**HPCS 2014**).
- **Publicity Co-Chair** del “IEEE/ACM Intl. Symp. on Cluster, Cloud and Grid Computing” (**CCGrid 2017**).
- **Publicity and Web Chair** del ACM SIGPLAN Symposium on Principles and Practice of Parallel Programming (**PPoPP 2011**).
- **Organising Committee Member** del Parallel Computing (ParCo 2005).
- **Registration Chair** del IEEE International Symposium on High-Performance Computer Architecture (**HPCA 2004**).

### C.7 Evaluador de proyectos nacionales y europeos

**Evaluador de la ANEP y de la ACSUCYL** (Agencia para la Calidad del Sist. Univ. de Castilla y León). De Enero 2007 hasta la fecha en la ANEP y desde Enero de 2009 en ACSUCYL.

**Evaluador del proyecto Europeo CHIST-ERA ERA-NET**, Call 2013, Topic: “Heterogeneous Distributed Computing”.

### C.8 Conferencias Invitadas en los últimos 7 años

- Rafael Asenjo (UMA), James Cownie (Intel), Aleksei Fedotov (Intel), “An Introduction to Intel® Threading Building Blocks (Intel® TBB) and its Support for Heterogeneous Programming”, **Tutorial ACM Intl. Conf. Principles and Practice of Parallel Programming (PPoPP 2018)**. Viena, Austria, Feb, 2018.
- James Reinders, Pablo Reble (Intel) and Rafael Asenjo (UMA), “Expressing Heterogeneous Parallelism in C++ with Intel Threading Building Blocks”, **Tutorial Supercomputing 2017 (SC’17)**, Denver, CO, USA, Nov. 13, 2017.
- Mike Voss (Intel), James Cownie (Intel) and Rafael Asenjo (UMA), “CPUs, GPUs, FPGAs: A Tutorial on Heterogeneity and Managing Accelerators with Intel Threading Building Blocks”, **Tutorial EuroPar 2017**, Santiago de Compostela, Aug 29, 2017.
- “Making the most out of Heterogeneous Chips with CPU, GPU and FPGA”, **Keynote** del Intl. Conf. on Algorithms and Architectures for Parallel Processing (ICA3PP 2016)
- “Programming models for heterogeneous chips”, **Keynote** inaugural del “CoCoNut meeting”. U. de Málaga, 18/Nov/2015.
- “Modelos de programación para arquitecturas heterogéneas on-chip”, **Keynote** inaugural de las **XXV Jornadas de Paralelismo 2014 (JP2014)**. Valladolid, 17/9/2014.
- “Performance-energy Aware Mapping of Streaming Applications on Heterogeneous Chips”. En Intel Corp., Huawei R&D, Qualcomm Research Silicon Valley y NVIDIA, Santa Clara, CA, USA. Los días 7, 8, 9 y 10/Apr/2014 (un día en cada compañía).
- “Main benefits of task parallel frameworks” **HPC Advisory Council 2012**, Sep/2012.
- “Parallel IO and Tridiagonal Solvers in Chapel”. **Cray Inc. Research Headquarters**, Seattle, WA, EEUU, 6/Jun/2011.