

Parte A. DATOS PERSONALES

Fecha del CVA

08/05/2018

Nombre y apellidos	Oscar Plata González		
DNI/NIE/pasaporte	42.062.549-B	Edad	55
Núm. identificación del investigador	Researcher ID	M-3355-2014	
	Código Orcid	0000-0003-2233-0011	

A.1. Situación profesional actual

Organismo	Universidad de Málaga		
Dpto./Centro	Dept. Arquitectura de Computadores		
Dirección	E.T.S.I. Informática, Campus Teatinos, E-29071 Málaga		
Teléfono	95 213 3318	correo electrónico	oplata@uma.es
Categoría profesional	Catedrático Universidad	Fecha inicio	27/06/2002
Espec. cód. UNESCO	3304.06		
Palabras clave	Computación de altas prestaciones, Arquitectura de computadores		

A.2. Formación académica (*título, institución, fecha*)

Licenciatura/Grado/Doctorado	Universidad	Año
Lic. en Ciencias Físicas	Universidad de Santiago de Compostela	1985
Dr. en Ciencias Físicas	Universidad de Santiago de Compostela	1989

A.3. Indicadores generales de calidad de la producción científica (*véanse instrucciones*)

Sexenios de investigación: 5 (el último corresponde al período 2010-2015)

Tesis doctorales (últimos 10 años): 5

Citas totales (según Google Scholar): 623

Promedio citas/año (últimos 5 años, según Google Scholar): 34

Publicaciones totales en Q1 (JCR): 14

Índice h (según Google Scholar): 14

Parte B. RESUMEN LIBRE DEL CURRÍCULUM

Oscar Plata es catedrático de Arquitectura y Tecnología de Computadores en la Universidad de Málaga desde el año 2002. Recibió su grado de licenciatura en Ciencias Físicas por la Universidad de Santiago de Compostela en 1985 y su grado de doctor por la misma universidad en 1989. Ha sido profesor en las Universidades de La Coruña, Santiago de Compostela y, desde 1995, Málaga.

El Prof. Plata es Director del Departamento de Arquitectura de Computadores de la Universidad de Málaga desde 2013.

Durante los últimos 25 años, el Prof. Plata ha estado trabajando en diversos aspectos relacionados con la computación de altas prestaciones, especialmente en técnicas de paralelización manual y automática para diversas arquitecturas paralelas, tanto de memoria privada como compartida. Últimamente, su interés principal está enfocado a optimizar la programación de arquitecturas multicore y heterogéneas.

Como resultado de esta actividad, el Prof. Plata es autor de más de 160 publicaciones científicas, ha dirigido seis tesis doctorales y dos más en desarrollo, y ha participado en más de diez proyectos del Plan Nacional, varias redes nacionales e internacionales y varios proyectos europeos. Así mismo, ha realizado diversas actividades de transferencia de tecnología a la industria (fue co-fundador de la empresa Tedral, S.L.).

El Prof. Plata es Editor Asociado de la revista IEEE Transactions on Computers desde 2015, y miembro del Euro-Par Advisory Board.

El Prof. Plata es revisor de la ANEP desde 2003, de la Fundación Séneca (Murcia) desde 2005, de la ACSUG (Galicia) desde 2012 y de la ACSUCYL (Castilla y León) desde 2011. Además, fue miembro del Panel de Expertos de la ANECA desde 2008 a 2017 y del Comité Asesor 6.2 de la CNEAI desde 2011 a 2013.

Parte C. MÉRITOS MÁS RELEVANTES

C.1. Publicaciones (últimos 5 años)

- 1- J.M. Herruzo, S. Gonzalez-Navarro and O. Plata, "Optimizing Large Data Structures with Unpredictable Access Patterns in the Intel KNL Processor", **CPC'18: 20th Workshop on Compilers for Parallel Computing**, Dublin (Ireland), (2018).
- 2- A. Villegas, A. Navarro, R. Asenjo and O. Plata, "Toward a Software Transactional Memory for Heterogeneous CPU-GPU Processors", **Journal of Supercomputing**, 2018.
- 3- M. Pedrero, E. Gutierrez and O. Plata, "TMbarrier: Speculative Barriers using Hardware Transactional Memory", **PDP'18: 26th Euromicro Int'l. Conf. on Parallel, Distributed and Network-based Processing**, Cambridge (UK), March 2018.
- 4- J.M. Herruzo, S. Gonzalez-Navarro, P. Ibañez, V. Viñals, J. Alastruey and O. Plata, "Exact Alignment with FM-index on the Intel Xeon Phi Knights Landing Processor", **AACBB'18: Workshop on Accelerator Architecture in Computational Biology and Bioinformatics** (co-located with HPCA 2018), Vienna (Austria), February 2018.
- 5- A. Villegas, A. Navarro, R. Asenjo, O. Plata and D. Kaeli, "Lightweight Hardware Transactional Memory for GPU Scratchpad Memory", **IEEE Transactions On Computers**, 67 (6), pp. 816-829 June 2018.
- 6- R. Quislan, E. Gutierrez, E.L. Zapata and O. Plata, "Privatizing Transactions for Lee's Algorithm in Commercial Hardware Transactional Memory", **Journal of Supercomputing**, 74 (4), pp. 1676-1694, April 2018.
- 7- A. Villegas, A. Navarro, R. Asenjo and O. Plata, "Towards a Software Transactional Memory for Heterogeneous CPU-GPU Processors", **Repara'17: 3rd IEEE Int'l. Workshop on Reengineering for Parallelism in Heterogeneous Parallel Platforms** (co-located with ParCo 2017), Bologna (Italy), September 2017.
- 8- M. Pedrero, E. Gutierrez, S. Romero and O. Plata, "ReduxSTM: Optimizing STM Designs for Irregular Applications", **Journal of Parallel and Distributed Computing**, 107, pp. 114-133, September 2017.
- 9- A. Villegas, A. Navarro, R. Asenjo, O. Plata, R. Ubal and D. Kaeli, "Hardware Support for Scratchpad Memory Transactions on GPU Architectures", **Euro-Par'17: 23rd Int'l. Conference on Parallel and Distributed Computing**, Santiago de Compostela (Spain), August-September 2017. (Springer-Verlag, LNCS 10417, pp. 273-286, 2017).
- 10- R. Quislan, E. Gutierrez, E.L. Zapata and O. Plata, "Lazy Irrevocability for Best-Effort Transactional Memory Systems", **IEEE Transactions On Parallel and Distributed Systems**, 28 (7), pp. 1919-1932, July 2017.
- 11- R. Quislan, E. Gutierrez, E.L. Zapata and O. Plata, "Enhancing Scalability in Best-Effort Hardware Transactional Memory", **Journal of Parallel and Distributed Computing**, 104, pp. 73-87, June 2017.
- 12- R. Quislan, E. Gutierrez, E.L. Zapata and O. Plata, "Leveraging Irrevocability to Deal with Signature Saturation in Hardware Transactional Memory", **Journal of Supercomputing**, 73 (6), pp. 2525-2557, June 2017.
- 13- M. Pedrero, E. Gutierrez, S. Romero and O. Plata, "A Comparative Analysis of STM Approaches to Reduction Operations in Irregular Applications", **Journal of Computational Science**, 17 (Part 3), pp. 630-638, November 2016.
- 14- R. Quislan, E. Gutierrez, E.L. Zapata and O. Plata, "Insights into the Fallback Path of Best-Effort Hardware Transactional Memory Systems", **Euro-Par'16: 22nd Int'l. Conference on Parallel and Distributed Computing**, Grenoble (France), August 2016. (Springer-Verlag, LNCS 9833, pp. 251-263, 2016).
- 15- E. Villegas, A. Villegas, A. Navarro, R. Asenjo, Y. Ukidave and O. Plata, "Energy Efficiency of Software Transactional Memory in a Heterogeneous Architecture", **WTTM'16: 8th Workshop on the Theory of Transactional Memory** (co-located with PODC 2016), Chicago (IL, USA), July 2016.
- 16- A. Villegas, A. Navarro, R. Asenjo and O. Plata, "Improvements in Hardware Transactional Memory for GPU Architectures", **CPC'16: 19th Workshop on Compilers for Parallel Computing**, Valladolid (Spain), July 2016.
- 17- R. Quislan, E. Gutierrez and O. Plata, "Exploring Fallback Solutions in Best-Effort Hardware Transactional Memory", **CPC'16: 19th Workshop on Compilers for Parallel Computing**, Valladolid (Spain), July 2016.

- 18- A. Villegas, A. Navarro, R. Asenjo, O. Plata, R. Ubal and D. Kaeli, "Hardware Support for Local Memory Transactions on GPU Architectures", **10th ACM SIGPLAN Workshop on Transactional Computing (TRANSACT'15)**, Portland, OR, (USA), June 2015.
- 19- M. Pedrero, E. Gutierrez, S. Romero and O. Plata, "Improving Transactional Memory Performance for Irregular Applications", **Int'l. Conf. on Computational Science (ICCS'15)**, Reykjavik, (Iceland), June 2015 (Elsevier, Procedia Computer Science).
- 20- M.A. Gonzalez-Mesa, E. Gutierrez, E.L. Zapata and O. Plata, "Effective Transactional Memory Execution Management for Improved Concurrency", **HiPEAC 2015 Conference**, Amsterdam, (The Netherlands), January 2015.
- 21- R. Quisiant, E. Gutierrez, E.L. Zapata and O. Plata, "Conflict Detection in Hardware Transactional Memory", **Transactional Memory: Foundations, Algorithms, Tools and Applications** (COST Action Euro-TM IC1001), Springer Verlag, LNCS 8913, R. Guerraoui and P. Romano, Eds., pp. 127-149 (2015).
- 22- R. Doallo and O. Plata, "Multicore Cache Hierarchies: Design and Programmability Issues (editorial)", **Concurrency and Computation: Practice and Experience**, vol. 26 (6), pp. 1326-1327 (2014).
- 23- R. Quisiant, E. Gutierrez, E.L. Zapata and O. Plata, "Improving Signature Behavior by Irrevocability in Transactional Memory Systems", **SBAC-PAD'14: 26th Int'l. Symp. on Computer Architecture and High-Performance Computing**, Paris (France), October 2014.
- 24- R. Quisiant, E. Gutierrez, O. Plata, "Scalability Analysis of Signatures in Transactional Memory Systems", **SBAC-PAD'14: 26th Int'l. Symp. on Computer Architecture and High-Performance Computing**, Paris (France), October 2014.
- 25- M.A. Gonzalez-Mesa, E. Gutierrez, E.L. Zapata and O. Plata, "Effective Transactional Memory Execution Management for Improved Concurrency", **ACM Trans. On Architecture and Code Optimization**, vol. 11 (3), 2014.
- 26- R. Quisiant, E. Gutierrez, S. Gonzalez and O. Plata, "Dealing with Saturation in Signature-based Transactional Memory Systems", **WTM'14: Euro-TM Workshop on Transactional Memory** (co-located with EuroSys 2014), Amsterdam (The Netherlands), April 2014.
- 27- M.A. Gonzalez-Mesa, R. Quisiant, E. Gutierrez and O. Plata, "Exploring Irregular Reduction Support in Transactional Memory", **ICA3PP'13: 13th Int'l. Conf. on Algorithms and Architectures for Parallel Processing**, Vietri Sul Mare (Italy), December 2013. (Springer Verlag, LNCS 8285, Part I, pp. 257-266, 2013).
- 28- M.A. Gonzalez-Mesa, R. Quisiant, E. Gutierrez and O. Plata, "Dealing with Reduction Operations Using Transactional Memory", **SBAC-PAD'13: 25th Int'l. Symp. on Computer Architecture and High-Performance Computing**, Porto de Galinhas (Brazil), October 2013, pp. 128-135.
- 29- M.A. Gonzalez-Mesa, E. Gutierrez and O. Plata, "Parallelizing Irregular Reductions Using Transactions", **CPC'13: 17th Workshop on Compilers for Parallel Computing**, Lyon (France), July 2013.
- 30- M.A. Gonzalez-Mesa, E.D. Gutierrez and O. Plata, "Parallelizing the Sparse Matrix Transposition: Reducing the Programmer Effort Using Transactional Memory", **ICCS'13: Int'l. Conf. on Computational Science**, Barcelona (Spain), June 2013.
- 31- R. Quisiant, E. Gutierrez, O. Plata and E.L. Zapata, "Hardware Signature Designs to Deal with Asymmetry in Transactional Data Sets", **IEEE Transactions on Parallel and Distributed Systems**, vol. 24 (3), pp. 506-519, 2013.
- 32- R. Quisiant, E. Gutierrez, O. Plata and E.L. Zapata, "LS-SIG: Locality-Sensitive Signatures for Transactional Memory", **IEEE Transactions on Computers**, vol. 62 (2), pp. 322-335, 2013.

C.2. Proyectos (últimos 5 años)

- CICYT ref. TIN2016-80920-R: Arquitecturas de Altas Prestaciones para Aplicaciones Intensivas en Datos

Duración: 3 años (2017-2019).

Investigador Responsable: Emilio López Zapata y Oscar Plata González

- CICYT ref. TIN2014-52608-REDC: Red de Excelencia: Supercomputación y eCiencia

Duración: 2 años (2015-2016).

Investigador Responsable: Mateo Valero Cortés

- CICYT ref. TIN2013-42253-P: Arquitecturas, Compiladores y Aplicaciones en Multiprocesadores

Duración: 3 años (2014-2016).

Investigador Responsable: Emilio López Zapata y Oscar Plata González

- CICYT ref. TIN2010-16144: Arquitecturas, Compiladores y Aplicaciones en Multiprocesadores

Duración: 3 años (2011-2013).

Investigador Responsable: Emilio López Zapata



UNIVERSIDAD
DE MÁLAGA



- CONSOLIDER-INGENIO 2010 ref. CSD2007-00050: Supercomputación y eCiencia.
Duración: 5 años (10/2007-10/2012).
Investigador Responsable: Mateo Valero Cortés
- CICYT ref. TIN2006-01078 (Consolider): Arquitecturas, Compiladores y Aplicaciones en Multiprocesadores.
Duración: 5 años (2007-2011).
Investigador Responsable: Emilio López Zapata
- MCYT ref. UNMA05-23-019: Laboratorio de Aero-Hidrodinámica de Vehículos no Tripulados
Investigador Responsable: Alfonso García Cerezo
- CICYT ref. TIC2003-06623: Arquitecturas, Compiladores y Aplicaciones en Multiprocesadores:
Duración: 3 años (2004-2006).
Investigador Responsable: Emilio López Zapata
- HiPEAC-4: High Performance and Embedded Architectures and Compilation.
EU H2020 ICT-2015-687698, 2016-2018, IP: Koen de Bosschere
- HiPEAC-3: European Network of Excellence on High Performance and Embedded Architectures and Compilation.
EU FP7 ICT-287759, 2012-2015, IP: Koen de Bosschere
- HiPEAC-2: European Network of Excellence on High Performance and Embedded Architectures and Compilation.
EU FP7 ICT-217068, 2008-2012, IP: Koen de Bosschere
- HiPEAC: European Network of Excellence on High Performance Embedded Architectures and Compilation.
EU FP6 IST-004408, 2004-2008, IP: Mateo Valero
- ARCHIVATOR: Archivator Process – The Solution for Long-Term Archiving of Digital Data.
EU Eureka Eurostars E!4683, 2009-2012, IP: Rune Bjerkestrand

C.3. Contratos, méritos tecnológicos o de transferencia

CONVENIO ESPECÍFICO DE COLABORACION (CINEVATION). ref. OTRI 8.06/5.29.1452: Asesoría en Sistemas de Archivo Digital de Alta Longevidad.
Duración: 1 año renovable. (2014)
Investigador Responsable: Oscar Plata González

CONVENIO ESPECÍFICO DE COLABORACION (TEDIAL). ref. OTRI 8.06/5.29.3462: Desarrollo e Integración de un Sistema de Archivo Digital de Alta Longevidad.
Duración: 3 años. (2010-2012)
Investigador Responsable: Oscar Plata González

CONVENIO ESPECÍFICO DE COLABORACION (TEDIAL). ref. 8.06/29.1821: Sistemas de Automatización, Indexación y Archivo de Video y Audio para la Televisión Digital.
Duración: 6 años. (2001-2007)
Investigador Responsable: Oscar Plata González

CONVENIO ESPECÍFICO DE COLABORACION (ANDALUCÍA DIGITAL MULTIMEDIA). ref. 8.06/29.1644: Diseño de Sistemas de Información Multimedia.
Duración: 2 años (2000-2001).
Investigador Responsable: Nicolás Guil Mata

CREACION DE EMPRESA: TEDIAL (Iniciativa NEOTEC, MCYT)
Creación de la empresa de base tecnológica Tecnologías Digitales Audiovisuales (TEDIAL)
Año de creación: 2001